Contenido

[1. Estado del Arte 2](#_Toc101990499)

[1.1.1.1. Introducción 2](#_Toc101990500)

[1.1.1.2. SOCs 2](#_Toc101990501)

[1.1.1.3. Buses de comunicación On-Chip La arquitectura AMBA 3](#_Toc101990502)

[1.1.1.4. Aplicaciones de los SOCs FPGA en la Industria y su aportación a los ODS. 7](#_Toc101990503)

[2. Entorno de Trabajo 7](#_Toc101990504)

[Control y alimentación de un motor sin escobillas. 8](#_Toc101990505)

[Maqueta Demo alimentación motor Brushless. 8](#_Toc101990506)

[Diseño 9](#_Toc101990507)

[BIBLIOGRAFIA. 9](#_Toc101990508)

# Estado del Arte

## Introducción

En este estado de la cuestión se ha buscado plasmar aquellos conceptos que permitan tener unas nociones básicas del campo y el entorno en el cual se encuentra involucrado este TFG.

Es por ello por lo que se han condensado en los 3 siguientes puntos aquella información que permita como ya se ha mencionado dar una perspectiva actual en la industria de la temática del TFG mismo.

## SOCs

## Buses de comunicación On-Chip La arquitectura AMBA

Diagrama

Descripción generada automáticamenteLa entrada de los circuitos integrados en la era de los SoC, los cuales se caracterizan como se ha visto en la integración de una gran cantidad de componentes distintos en un mismo chip; CPUs, variados IPs de bloques Lógicos, Bloques de Memorias, circuitos con complejas técnicas de multiplexado, periféricos, etc [1].

Esto produce que el tamaño del diseño se incremente cada vez más y ya no sea posible realizar el desarrollo entero del proyecto debido a los costes de tiempo y recursos, es por ello por lo que se hace inevitable el incremento del uso de IPs. Gracias a la incorporación de estos bloques se incrementa la velocidad en el diseño.   
Sin embargo, surge un problema, cada bloque por separado puede presentar interfaces de comunicación distintas al proceder de fabricantes distintos.  
  
Todo ello resultó en la necesidad de la creación de una arquitectura de comunicación estandarizada que permitiera la integración correcta de distintos IPs en el mismo chip.  
Con este propósito han ido surgiendo distintas arquitecturas para regular la comunicación en los diseños Soc.  
Algunas de las arquitecturas desarrolladas son: ARM Microcontroller Bus Architecture (AMBA), IBM Core Connect, OpenCores Wishborn y Altera Avalon. [2]

De todos los buses On-Chip (OCB) que han sido desarrollados en el mercado uno de aquellos que se ha proclamado como un standard de facto es el bus AMBA 4.0 introducido por ARM en 2010.

El “*Advanced Microcontroller Bus Architecture*” o bus AMBA introduce 5 buses/interfaces: Advanced eXtensible Interface (AXI),Advanced High Performance Bus (AHB), Advanced Peripheral Bus (APB) y el Advanced Trace Bus (ATB) [3].

Gráfico

Descripción generada automáticamenteDesde su aparición en 1990 han ido sucediéndose numerosas versiones de la arquitectura con el fin de responder a la demanda de nuevos procesadores y tecnologías del mercado llegando hasta nuestros días con la versión 5.0.

Toda la configuración estructural, las señales y la transferencia de módulos se encuentra definida por la especificación AMBA.  
  
**Advanced System Bus (ASB)**.  
Es un bus que incorpora la arquitectura Pipeline, soportando múltiples maestros.  
Su modo standard de operación se encuentra caracterizado por la figura del árbitro (arbiter) y el decodificador. El árbitro decide que maestro de aquellos que solicitan acceso al bus tiene mayor prioridad. Una vez determinado, el maestro seleccionado inicia la transferencia.   
La figura del decodificador selecciona la dirección del bus esclavo y este último realiza una respuesta al bus maestro.  
Una vez realizada esta operación los datos son transmitidos entre maestro y esclavo. [4]

Este bus se caracteriza por tener unas altas prestaciones en el diseño con microcontroladores embebidos de 16 y 32 bits, es por ello por lo que soporta correctamente la conexión a memorias On-chip, procesadores o a su vez con memorias externas.  
  
Esta arquitectura aparecida con la primera versión de AMBA en 1990 ha sido poco a poco remplazada por versiones más modernas de buses dentro de la arquitectura.  
  
**Advanced High Performance Bus (AHB)**  
Este bus surge más tarde que el bus ASB e igual que este último es un bus de altas prestaciones incorporando también operaciones de Pipeline.  
Soporta múltiples maestros y operaciones con alto ancho de banda.  
Este sistema se utiliza típicamente con un procesador y la interfaz de prueba sin embargo, es común añadir como buses maestros accesos directos a memoria (DMA) o algún tipo de procesador digital (DSP).

**Advanced Peripheral Bus (APB).**

Se ha diseño con el objetivo de minimizar al máximo la complejidad de su interfaz y reducir al mínimo su consumo energético.  
Su uso habitual es de interfaz de cualquier periférico que requiere un ancho de banda pequeño.  
Este bus sigue usándose hoy en día en gran medida a diferencia del ASB.  
Las principales ventajas aportadas de incorporar el bus APB en los diseños son las siguientes:

* Uso en dispositivos de baja velocidad como bus periférico.
* Es síncrono.
* Soporta un solo maestro y no tiene estructura pipeline.

Es típico el uso combinado de varios buses dentro del mismo chip, para ello con el fin de poder sincronizar los datos entre buses se utilizan puentes (bridge) que permiten “traducir” la información de un protocolo a otro.  
En la siguiente imagen se muestra una organización típica en un SoC, en el cual podrían verse envueltos dos de los buses mencionados.  
  
Diagrama

Descripción generada automáticamente

Como se ha mencionado anteriormente el bus APB realiza las funciones de bajo consumo con dispositivos periféricos, por otro lado, la arquitectura de comunicación utilizada para conectar el procesador con memorias y DMA se realiza con un bus de mayores prestaciones como podría ser el caso de AHB o el ASB.

**Advanced eXtensible Interface (AXI).**

Unos de los buses más extendidos y conocidos de la arquitectura AMBA es el famoso bus AXI. Introducido en la versión 3.0 y ampliado en las sucesivas versiones 4.0 y 5.0. goza de un particular aprecio a la hora utilizarse en el diseño de SoCs.

Estos días prácticamente todos los IPs utilizados en Xilinx hacen uso de esta arquitectura.  
Los procesadores Zynq, Zynq MP, Microblaze y Versal todos ellos utilizan interfaz AXI.[5]

Como se ha mencionado anteriormente el AHB es un bus de un único canal soportando múltiples maestros y esclavos para el intercambio de información. Con un árbitro seleccionando el maestro más válido y un decodificador jerarquizando la lista de esclavos disponibles.  
El bus AXI nace con la misma filosofía sin embargo a diferencia de los anteriores presenta varios canales dedicados a las operaciones de lectura y escritura.[6]

## 

## Aplicaciones de los SOCs FPGA en la Industria y su aportación a los ODS.

# Entorno de Trabajo

# Control y alimentación de motores sin escobillas.

Los motores sin escobillas se caracterizan por tener una alimentación diferente a los motores de CC con escobillas.  
Mientras que para estos últimos la excitación del motor se realiza aplicando una diferencia de potencial en sus bornas. Los motores sin escobillas “brushless” tienen la peculiaridad de necesitar un control en la alimentación de sus bobinas con el objetivo de hacer girar su rotor.

# Maqueta Demo alimentación motor Brusless.

En esta sección se procede a exponer el diseño y posterior desarrollo de la maqueta realizada para la alimentación de un motor Brushless con el fin de poder realizar ensayos y pruebas sobre este mismo.

## Diseño

Como ya se ha podido abordar en la cuestión anterior sobre la alimentación de motores brushless se procede a plantear un diseño de la maqueta a realizar con el fin de determinar los materiales y la disposición de estos.   
Resultando en el siguiente diagrama en el cual se pueden apreciar claramente los principales elementos que intervendrán.  
  
Diagrama, Esquemático

Descripción generada automáticamente

Como se puede apreciar en la siguiente imagen se ha optado por la elección de un motor con sensores de efecto HALL integrados con los cuales se realizará la realimentación de la posición y velocidad del rotor.

## Componentes.

**Un circuito electrónico azul

Descripción generada automáticamente con confianza media**  
**Basys3 Artix-7 FPGA Board.**

La Basys3 es una placa de desarrollo diseñada para ser utilizada de forma exclusiva con la herramienta Vivado Design Suite.  
Con su arquitectura de Artix-7 desarrolada por Xilinx esta placa de desarrollo para aprendizajes dispone de una amplia colección de puertos de E/S con los cuales poder cumplir multitud de tareas.

Principales Características de la Artix-7 35T.

* 33,280 logic cells distribuidas en 5200 slices (cada slice contiene 6 LUTs y 8 flip-flops).
* 1,800 Kbits de BRAM.
* 5 posibles administraciones de reloj, cada uno con un su propio PLL.
* 90 DSP slices.
* La frecuencia de reloj alcanza los 450 MHz.
* Convertidor analogico-digital embebido (XADC).

**Inversor BOOSTXL-3PHGANINV**

Un circuito electrónico

Descripción generada automáticamente con confianza baja

El inversor BOOSTXL-3PHGANINV permite trabajar a altas frecuencias de PWM gracias a la presencia en sus tres fases inversoras de LMG5200 Gan de medio puente.  
Las principales motivaciones a la hora de elegir este inversor frente a los demás son las siguientes:

* Permite el control PWM del puente mediante señal de 3.3V, esto facilita mucho el montaje gracias a que se evita una etapa de elevación de nivel lógico 3.3V-5V.
* Su amplio rango de alimentación 12V-60V.
* La alta frecuencia de conmutación soportada.

Junto a las mencionadas anteriormente se pueden resumir en la siguiente tabla las principales características del inversor trifásico.

|  |  |  |
| --- | --- | --- |
| **Parameter** | **Typical Value** | **Comentarios** |
| DC input voltage | 48 V (12 to 60 V) | 80-V absolute max |
| Maximum three-phase output current | 7ARMS (10-APEAK) per phase | - |
| Maximum input power | 400 W (at 48 V) | - |
| Power FET type | GaN technology | Half-bridge power module with integrated high-side and low-side gate drivers (LMG5200) |
| PWM switching frequency | 40 to 100 kHz | - |
| PWM deadband | 12.5 ns | - |
| Maximum efficiency at 100-kHz PWM | 98.5% | At 400-W input power |
| Phase currents sense and amplifier | 5-mΩ shunt per INA240 | Differential, non-isolated current sense amplifier with 20 V/V and enhanced PWM rejection (INA240) |
| Phase current maximum range | ±16.5 A | Scaled to 0 to 3.3 V; inverted with 1.65-V bias |
| Phase current accuracy (–25°C to 85°C) | ±0.5% (uncalibrated), ±0.1% (calibrated) | Over nominal range ±10 A; one-time calibration of offset and gain at 25ºC |
| EMI input and output filter | External | - |
| PCB layer stack | Four-layer, 70-µm copper |  |
| PCB size | 53.4 mm × 78.9 mm | Dimensions in mil: 2105 mil × 3107 mil |
| Temperature range | –40ºC to 85ºC |  |
| PCB over-temperature alert | > 85ºC | Configurable from 70ºC to 85ºC (TMP302B) |

Se aprecia que el inversor escogido tiene entre sus características la capacidad de medir la corriente en los devanados junto a filtros contra las interferencias producidas por la acción de las conmutaciones del PWM. Para el caso de este demo no se hará uso de dichas características limitándose al control del puente mediante las señales PWM.

**Motor Brushless Modelo 2163788**

El siguiente motor es muy bonito [7]

# BIBLIOGRAFIA.

[1] J. Patel, Y. Shah, y L. He, «Bridge Design between AXI Lite and AHB Bus Protocol», *J. Phys. Conf. Ser.*, vol. 1993, n.o 1, p. 012008, ago. 2021, doi: 10.1088/1742-6596/1993/1/012008.

[2] A. Gupta, K. Rawat, S. Pandey, P. Kumar, S. Kumar, y H. P. Singh, «Physical design implementation of 32-bit AMBA ASB APB module with improved performance», en *2016 International Conference on Electrical, Electronics, and Optimization Techniques (ICEEOT)*, Chennai, India, mar. 2016, pp. 3121-3124. doi: 10.1109/ICEEOT.2016.7755276.

[3] «Somaraju et al. - 2014 - DESIGN AND IMPLEMENTATION OF THE ADVANCED MICROCON.pdf».

[4] B. N. Manu y P. Prabhavathi, «Design and implementation of AMBA ASB APB bridge», en *2013 International Conference on Fuzzy Theory and Its Applications (iFUZZY)*, Taipei, Taiwan, dic. 2013, pp. 234-238. doi: 10.1109/iFuzzy.2013.6825442.

[5] «AXI Basics 1 - Introduction to AXI». https://support.xilinx.com/s/article/1053914?language=en\_US

[6] «Shrivastav et al. - 2011 - Performance Comparison of AMBA Bus-Based System-On.pdf».

[7] «Datasheet Motor Brushless». [En línea]. Disponible en: https://docs.rs-online.com/bbf1/A700000007588698.pdf