Contenido

[1. Estado del Arte 2](#_Toc102335235)

[1.1.1.1. Introducción 2](#_Toc102335236)

[1.1.1.2. SOCs 2](#_Toc102335237)

[1.1.1.1.1. Concepto de SOC 6](#_Toc102335238)

[1.1.1.2. Buses de comunicación On-Chip La arquitectura AMBA 8](#_Toc102335239)

[1.1.1.3. Aplicaciones de los SOCs FPGA en la Industria y su aportación a los ODS. 12](#_Toc102335240)

[2. Entorno de Trabajo 12](#_Toc102335241)

[3. Control y alimentación de motores sin escobillas. 13](#_Toc102335242)

[4. Maqueta Demo Alimentación Motor Brushless. 13](#_Toc102335243)

[4.1. Diseño 13](#_Toc102335244)

[4.2. Componentes. 14](#_Toc102335245)

[Basys3 Artix-7 FPGA Board. 15](#_Toc102335246)

[Inversor BOOSTXL-3PHGANINV 15](#_Toc102335247)

[Motor Brushless Modelo 2163788 16](#_Toc102335248)

[Convertidor niveles lógicos bidireccional. 17](#_Toc102335249)

[Fuentes de alimentación. 18](#_Toc102335250)

[4.3. Esquema Eléctrico. 19](#_Toc102335251)

[4.4. Montaje de la maqueta de pruebas. 22](#_Toc102335252)

[BIBLIOGRAFIA. 23](#_Toc102335253)

# Estado del Arte

## Introducción

En este estado de la cuestión se ha buscado plasmar aquellos conceptos que permitan tener unas nociones básicas del campo y el entorno en el cual se encuentra involucrado este TFG.

Es por ello por lo que se han condensado en los 3 siguientes puntos aquella información que permita como ya se ha mencionado dar una perspectiva actual en la industria de la temática del TFG mismo.

## SOCs

Gráfico, Gráfico en cascada

Descripción generada automáticamenteEn la evolución sufrida en las últimas décadas dentro del desarrollo de dispositivos electrónicos, ha dado lugar a la aparición de multitud de estrategias a la hora de abordar y resolver los desafíos que presenta el mercado electrónico actual.  
Dentro del desarrollo de la electrónica digital concretamente los circuitos integrados “IC” aparecen conceptos como ASIC, FPGA, SoCs , FPSoCs, ASSP, etc.. ,tejiendo una red de dispositivos, propiedades y aplicaciones altamente interconectadas de forma híbrida entre sí, los cuales no permiten discernir correctamente unos conceptos de otros.

Como se puede observar en la siguiente imagen se aprecian una gran variedad de circuitos integrados a cada uno de ellos con sus características particulares frente a otros.  
Es por ello por lo que previamente a entrar en profundidad en la materia se va a realizar una mención a dos de estas tecnologías.

* ASIC

Diagrama

Descripción generada automáticamenteApplication-Specific Integrated Circuit es un dispositivo cuyo propósito es satisfacer los requisitos para una aplicación particular.  
Una clasificación aceptada de este dispositivo lo divide en 4 grandes categorías: (GA) Gate Arrays, Structured ASICs, Standard Cell (SC) y los Full Custom.[1]

En el caso del Full Custom el diseñador tiene el control entero sobre cada capa del chip de silicio fabricado. El nivel de control es alto pudiendo, por ejemplo, alterar las dimensiones de los elementos lógicos individuales. Si por ejemplo se necesitan unas prestaciones temporales sobre una puerta lógica el ingeniero puede modificar sus dimensiones con el fin de obtener dichas consideraciones.  
Estos dispositivos pueden incluir parte analógica como comparadores, filtros, convertidores A-D o D-A.  
El diseño de estos dispositivos es altamente complejo y requiere de tiempo sin embargo estos concentran la tasa más alta de lógica con el mínimo consumo de energía posible resultando en una reducción de desperdicio en el silicio.

Otro forma de realizar los circuitos es mediante Gate Arrays , los fabricantes como su nombre lo indica generan una malla de resistencias y transistores sin conectar los cuales se recogen en células “Basic Cells” organizadas por capas.  
Estos dispositivos son configurados posteriormente en fábrica realizando las conexiones pertinentes entre las distintas celdas según el diseño escogido.  
  
Los Structured ASICs, las capas de máscara lógica son definidas por el proveedor o terceros. La personalización se realiza mediante la creación de capas de metal personalizadas que realizan las conexiones entre los elementos inferiores de capas predefinidos. Este modelo se encuentra a medio camino entre los Gate Arrays y los Standard Cell ya que en este caso solo se produce una pequeña cantidad de capas del chip dando por ello lugar a gastos no recurrentes mucho más pequeños que los dispositivos de celda estándar   
  
Los dispositivos Standard cell tienen muchas semejanzas con las Gate Arrays, a su vez el proveedor ofrece la lógica disponible recogida en los Basic Cells, sin embargo los proveedores de estas nuevas células también suministran bibliotecas de macros duras y blandas que incluyen procesadores, controladores y funciones de comunicación. También suelen incluir una selección de RAM y ROM. Finalmente una particularidad muy importante es la capacidad de los ingenieros en utilizar diseños previamente elaborados o comprar bloques de propiedad intelectual “IP” que se pueden añadir al diseño.

* ASSP

Los ASIC son un componente diseñado y utilizado por una empresa única para un sistema específico.  
Sin embargo los Application-Specific Standard Product son de un uso más general, efectivamente se crean utilizando las herramientas y tecnologías ASIC, pero a diferencia de estos primeros son utilizados para un uso más general para múltiples empresas de diseño de sistemas.

* Circuitos Lógicos Programables y FPGAS

Diagrama

Descripción generada automáticamenteLos PLDs reprogramables son componentes electrónicos utilizados para construir circuitos electrónicos digitales reconfigurables. A diferencia de los ASICs estos salen de fábrica sin ninguna función específica y necesitan de ser programados o reconfigurados para poder ser usados.  
  
Los PLDs programables en campo pueden dividirse en los siguientes grupos  
  
Los PLA, PAL, CPLD y SPLD sus recursos elementales realizan las operaciones lógicas más sencillas del mismo tipo y suelen combinarse en matrices.  
Por otro lado los FPGA sus recursos elementales tienen cierta universalidad pueden realizar operaciones lógicas arbitrarias relativamente complejas, así como el almacenamiento de datos.  
  
Las FPGAs o Field Programable Gate Array son circuitos integrados que contienen un arreglo de bloques lógicos con interconexiones programables a su vez.  
El usuario tiene la capacidad de programar tanto las funciones realizadas por cada bloque lógico como las conexiones entre los bloques.

En su interior se distinguen tres elementos básicos, Bloques Lógicos, Bloques de Entrada/Salida y las Interconexiones.

Tabla

Descripción generada automáticamente

* Bloque Lógicos: Dependiendo del fabricante y el modelo de FPGA estos pueden incluir desde LUTs, multiplexores, compuertas lógicas o flip-flops, pudiendo llegar alguno de ellos a solo contener pares de transistores.
* Las interconexiones programables entre los distintos bloques lógicos pueden variar a su vez dependiendo del modelo de FPGA utilizado destacando dos tipos:  
  Las matrices de switches que se encuentran entre cada intersección de las rutas entre bloques, estas soportan cualquier configuración en su conexión sin embargo es una tecnología costosa con el inconveniente de que no se pueden realizar todas las conexiones posibles en un mismo tiempo.  
    
  Conexión a Bloques Lógicos adyacentes. A diferencia de las conexiones con las matrices de switches estas últimas son más rápidas al no tener que pasar por matrices de ruteo.  
  Las conexiones generalmente se dan con los cuatro bloques adyacentes al bloque lógico, aunque en algunos casos se pueden conectar a ocho bloques incluyendo sus bloques en diagonal.
* Los Bloques de entrada/salida permiten conectar la lógica interna de la FPGA al medio externo.  
  Estos bloques pueden ser configurados como entradas, salidas y entrada/salida gracias a un buffer triestado.  
  A su vez contienen flip-flops que permiten almacenar el valor de entrada o de salida.

Los FPGA más modernos incluyen además de estos bloques básicos otros recursos como DSP los cuales permiten realizar operaciones de suma, multiplicación, multiplicaciones acumuladas y otras. Bloques de memoria comúnmente llamados BRAM, unidades dedicadas a la gestión de relojes, transceptores de alta velocidad y núcleos IPs que permiten concluir infinidad de tareas.

## Concepto de SOC

Los sistemas en chip (SoC) han surgido en la última década como una clase importante de sistemas VLSI. Un SOC es un sistema que incorpora la mayoría o todos los componentes necesarios para una aplicación y que utiliza procesadores programables como componentes del sistema.[2]  
Otra posible definición de SOC es como el bloque funcional que tiene la mayor parte de la funcionalidad del sistema, excepto algunos bloques de interfaz, que no son realizables por las tecnologías CMOS o compatibles con CMOS.[3]

* Introducción inicial a los dispositivos on-chip ya sea ASICs ASSP, SOCs a nivel general y finalmente los SOCs FPGA.
* Definición de lo que es un SOCs FPGA origen y Aparición.
* Verificacion y debugueo de los sistemas SOCs.

## Buses de comunicación On-Chip La arquitectura AMBA

Diagrama

Descripción generada automáticamenteLa entrada de los circuitos integrados en la era de los SoC, los cuales se caracterizan como se ha visto en la integración de una gran cantidad de componentes distintos en un mismo chip; CPUs, variados IPs de bloques Lógicos, Bloques de Memorias, circuitos con complejas técnicas de multiplexado, periféricos, etc [4].

Esto produce que el tamaño del diseño se incremente cada vez más y ya no sea posible realizar el desarrollo entero del proyecto debido a los costes de tiempo y recursos, es por ello por lo que se hace inevitable el incremento del uso de IPs. Gracias a la incorporación de estos bloques se incrementa la velocidad en el diseño.   
Sin embargo, surge un problema, cada bloque por separado puede presentar interfaces de comunicación distintas al proceder de fabricantes distintos.  
  
Todo ello resultó en la necesidad de la creación de una arquitectura de comunicación estandarizada que permitiera la integración correcta de distintos IPs en el mismo chip.  
Con este propósito han ido surgiendo distintas arquitecturas para regular la comunicación en los diseños Soc.  
Algunas de las arquitecturas desarrolladas son: ARM Microcontroller Bus Architecture (AMBA), IBM Core Connect, OpenCores Wishborn y Altera Avalon. [5]

De todos los buses On-Chip (OCB) que han sido desarrollados en el mercado uno de aquellos que se ha proclamado como un standard de facto es el bus AMBA 4.0 introducido por ARM en 2010.

El “*Advanced Microcontroller Bus Architecture*” o bus AMBA introduce 5 buses/interfaces: Advanced eXtensible Interface (AXI),Advanced High Performance Bus (AHB), Advanced Peripheral Bus (APB) y el Advanced Trace Bus (ATB) [6].

Gráfico

Descripción generada automáticamenteDesde su aparición en 1990 han ido sucediéndose numerosas versiones de la arquitectura con el fin de responder a la demanda de nuevos procesadores y tecnologías del mercado llegando hasta nuestros días con la versión 5.0.

Toda la configuración estructural, las señales y la transferencia de módulos se encuentra definida por la especificación AMBA.  
  
**Advanced System Bus (ASB)**.  
Es un bus que incorpora la arquitectura Pipeline, soportando múltiples maestros.  
Su modo standard de operación se encuentra caracterizado por la figura del árbitro (arbiter) y el decodificador. El árbitro decide que maestro de aquellos que solicitan acceso al bus tiene mayor prioridad. Una vez determinado, el maestro seleccionado inicia la transferencia.   
La figura del decodificador selecciona la dirección del bus esclavo y este último realiza una respuesta al bus maestro.  
Una vez realizada esta operación los datos son transmitidos entre maestro y esclavo. [7]

Este bus se caracteriza por tener unas altas prestaciones en el diseño con microcontroladores embebidos de 16 y 32 bits, es por ello por lo que soporta correctamente la conexión a memorias On-chip, procesadores o a su vez con memorias externas.  
  
Esta arquitectura aparecida con la primera versión de AMBA en 1990 ha sido poco a poco remplazada por versiones más modernas de buses dentro de la arquitectura.  
  
**Advanced High Performance Bus (AHB)**  
Este bus surge más tarde que el bus ASB e igual que este último es un bus de altas prestaciones incorporando también operaciones de Pipeline.  
Soporta múltiples maestros y operaciones con alto ancho de banda.  
Este sistema se utiliza típicamente con un procesador y la interfaz de prueba sin embargo, es común añadir como buses maestros accesos directos a memoria (DMA) o algún tipo de procesador digital (DSP).

**Advanced Peripheral Bus (APB).**

Se ha diseño con el objetivo de minimizar al máximo la complejidad de su interfaz y reducir al mínimo su consumo energético.  
Su uso habitual es de interfaz de cualquier periférico que requiere un ancho de banda pequeño.  
Este bus sigue usándose hoy en día en gran medida a diferencia del ASB.  
Las principales ventajas aportadas de incorporar el bus APB en los diseños son las siguientes:

* Uso en dispositivos de baja velocidad como bus periférico.
* Es síncrono.
* Soporta un solo maestro y no tiene estructura pipeline.

Es típico el uso combinado de varios buses dentro del mismo chip, para ello con el fin de poder sincronizar los datos entre buses se utilizan puentes (bridge) que permiten “traducir” la información de un protocolo a otro.  
En la siguiente imagen se muestra una organización típica en un SoC, en el cual podrían verse envueltos dos de los buses mencionados.  
  
Diagrama

Descripción generada automáticamente

Como se ha mencionado anteriormente el bus APB realiza las funciones de bajo consumo con dispositivos periféricos, por otro lado, la arquitectura de comunicación utilizada para conectar el procesador con memorias y DMA se realiza con un bus de mayores prestaciones como podría ser el caso de AHB o el ASB.

**Advanced eXtensible Interface (AXI).**

Unos de los buses más extendidos y conocidos de la arquitectura AMBA es el famoso bus AXI. Introducido en la versión 3.0 y ampliado en las sucesivas versiones 4.0 y 5.0. goza de un particular aprecio a la hora utilizarse en el diseño de SoCs.

Estos días prácticamente todos los IPs utilizados en Xilinx hacen uso de esta arquitectura.  
Los procesadores Zynq, Zynq MP, Microblaze y Versal todos ellos utilizan interfaz AXI.[8]

Como se ha mencionado anteriormente el AHB es un bus de un único canal soportando múltiples maestros y esclavos para el intercambio de información. Con un árbitro seleccionando el maestro más válido y un decodificador jerarquizando la lista de esclavos disponibles.  
El bus AXI nace con la misma filosofía sin embargo a diferencia de los anteriores presenta varios canales dedicados a las operaciones de lectura y escritura.[9]

## 

## Aplicaciones de los SOCs FPGA en la Industria y su aportación a los ODS.

# Entorno de Trabajo

# Control y alimentación de motores sin escobillas.

Los motores sin escobillas se caracterizan por tener una alimentación diferente a los motores de CC con escobillas.  
Mientras que para estos últimos la excitación del motor se realiza aplicando una diferencia de potencial en sus bornas. Los motores sin escobillas “brushless” tienen la peculiaridad de necesitar un control en la alimentación de sus bobinas con el objetivo de hacer girar su rotor.

# Maqueta Demo Alimentación Motor Brushless.

En esta sección se procede a exponer el diseño y posterior desarrollo de la maqueta realizada para la alimentación de un motor sin escobillas con el fin de poder realizar ensayos y pruebas sobre este mismo.

## Diseño

Diagrama

Descripción generada automáticamenteComo ya se ha podido abordar en la cuestión anterior sobre la alimentación de motores brushless se procede a plantear un esquema general de los elementos presentes en la maqueta a realizar.  
Resultando en el siguiente diagrama en el cual se pueden apreciar claramente los principales elementos que intervendrán.  
  
  
En la siguiente figura se aprecian los tres principales componentes que intervendrán.

* **Motor Brushless**: Con sus tres fases de alimentación, este motor girará a las revoluciones deseadas en función de la alimentación recibida en sus bobinados.
* **Inversor Trifásico**: La etapa de potencia que gestionará la correcta alimentación del motor sin escobillas a partir de las señales de control (PWM).
* **FPGA**: Será la encargada de realizar las tareas de control del sistema recibiendo las señales de los sensores (efecto HALL) y generando señales de control (PWM) correspondientes para controlar el inversor.

Además de los principales componentes mencionados se deberán añadir otros secundarios que permitan el correcto funcionamiento y relación de los elementos principales entre sí.

## Componentes.

En este apartado se enumeran aquellos componentes eléctricos utilizados para el desarrollo de la maqueta de pruebas.

### Un circuito electrónico azul Descripción generada automáticamente con confianza mediaBasys3 Artix-7 FPGA Board.

La Basys3 es una placa de desarrollo diseñada para ser utilizada de forma exclusiva con la herramienta Vivado Design Suite.  
Con su arquitectura de Artix-7 desarrollada por Xilinx, esta placa de desarrollo para aprendizajes dispone de una amplia colección de puertos de E/S con los cuales poder cumplir multitud de tareas.

Principales Características de la Artix-7 35T.

* 33,280 logic cells distribuidas en 5200 slices (cada slice contiene 6 LUTs y 8 flip-flops).
* 1,800 Kbits de BRAM.
* 5 posibles administraciones de reloj, cada uno con un su propio PLL.
* 90 DSP slices.
* La frecuencia de reloj alcanza los 450 MHz.
* Convertidor analógico-digital embebido (XADC).

### Inversor BOOSTXL-3PHGANINV

Un circuito electrónico

Descripción generada automáticamente con confianza baja

El inversor BOOSTXL-3PHGANINV permite trabajar a altas frecuencias de PWM gracias a la presencia en sus tres fases inversoras de drivers LMG5200 Gan de medio puente.  
Las principales motivaciones a la hora de elegir este inversor frente a los demás son las siguientes:

* Permite el control PWM del puente mediante señal de 3.3V, esto facilita mucho el montaje gracias a que se evita una etapa de elevación de nivel lógico 3.3V-5V.
* Su amplio rango de alimentación 12V-60V.
* La alta frecuencia de conmutación soportada.

Junto a las mencionadas anteriormente se pueden resumir en la siguiente tabla las principales características del inversor trifásico.

|  |  |  |
| --- | --- | --- |
| **Parametros** | **Valores Típicos** | **Comentarios** |
| DC entrada voltaje | 48 V (12 to 60 V) | 80-V máximo absoluto |
| Corriente máxima de salida trifásica | 7ARMS (10-APEAK) por fase | - |
| Potencia máxima de entrada | 400 W (a 48 V) | - |
| Tipo FET de potencia | Tecnología GaN | Módulo de alimentación de medio puente con controladores de compuerta de lado alto y bajo integrados (LMG5200) |
| Frecuencia de conmutación PWM | 40 a 100 kHz | - |
| PWM deadband | 12.5 ns | - |
| Máxima eficiencia 100-kHz PWM | 98.5% | A 400-W potencia de entrada |
| Sensor y amplificador de corrientes de fase. | 5-mΩ shunt por INA240 | Amplificador diferencial de detección de corriente con 20 V/V y rechazo de PWM mejorado (INA240). |
| Rango máximo de corriente en fases. | ±16.5 A | Escalado de 0 a 3.3 V; invertido con polarización 1.65-V |
| Rango precisión de corrientes de fase (–25°C a 85°C) | ±0.5% (no calibrado), ±0.1% (calibrado) | Sobre rango nominal ±10 A; calibración única de compensación y ganancia 25ºC |
| Filtro de entrada y salida EMI | Externo | - |
| Pila de capas de la PCB | Cobre, cuatro capas de 70-µm | - |
| PCB tamaño | 53.4 mm × 78.9 mm | Dimensions in mil: 2105 mil × 3107 mil |
| Rango Temperatura | –40ºC a 85ºC |  |
| Alerta PCB exceso temperatura | > 85ºC | Configurable de 70ºC a 85ºC (TMP302B) |

Se aprecia que el inversor escogido tiene entre sus características la capacidad de medir la corriente en los devanados junto a filtros contra las interferencias producidas por la acción de las conmutaciones del PWM. Para el caso de esta demo no se hará uso de dichas características limitándose al control del puente mediante las señales PWM.

### Motor Brushless Modelo 2163788

Una consideración que se ha tenido en cuenta a la hora de escoger el motor, es el tener integrado en su estructura sensores HALL. Dicha consideración permite reducir etapas y conexionados en la maqueta al no depender de sensores externos al motor, los cuales además corren el riesgo de introducir ruido al sistema.

Imagen que contiene interior, cepillo de dientes, mostrador, tabla

Descripción generada automáticamente

Las características del motor sin escobillas y sus sensores integrados son las siguientes:

|  |  |
| --- | --- |
| **Parámetros** | **Valores** |
| N° polos | 8 |
| N° fases | 3 |
| Voltaje | 24 V |
| Revoluciones | 4800 rpm |
| Par promedio | 0,016 Nm |
| Máximo Par | 0,05 Nm |
| Constante de par | 0,036 Nm/A |
| Resistencia de línea | 5,1 Ω |
| Inductancia de línea | 3,3 mH |
| Corriente sin carga | 150 mA |
| Máxima corriente de pico | 1,4 A |
| Corriente media | 0,44 A |
| Longitud | 20 mm |
| Inercia del rotor | 6 g-cm² |
| Masa | 0,12 Kg |
| VCC Sensor HALL | +5 to +24 VDC |
| Ángulo sensores HALL | 120° |
| Salida del eje | 0,025 mm |
| Clase Aislamiento | B |
| Juego Radial (450 g carga) | 0,02 mm |
| Juego Axial (450 g carga) | 0,08 mm |
| Máxima fuerza radial (10 MM desde zona frontal) | 15N |
| Máxima fuerza axial | 10N |
| Resistencia dieléctrica | 600 VCA seg |
| Resistencia de aislamiento | 100 Mohm min. 500 VDC |

### Convertidor niveles lógicos bidireccional.

A diferencia del inversor que nos permite trabajar directamente con las salidas PWM de la FPGA a 3.3V. Las salidas de los sensores HALL son de 5V, se deben tratar dichas señales ya que la FPGA solo acepta entradas digitales de 3.3V.  
El dispositivo mostrado a continuación permite realizar la conversión de niveles lógicos de 3.3V a 5V y vicerversa.

Un conjunto de letras blancas en un fondo blanco

Descripción generada automáticamente con confianza media

Características:

|  |  |
| --- | --- |
| **Parámetros** | **Valores** |
| Voltaje Alto | 5v (2.8V) |
| Voltaje Bajo | 3.3V (1.8V) |
| N° Canales | 4 |
| Sentido | Bidireccional |

Fuentes de alimentación.Se han escogido las siguientes fuentes de alimentación para alimentar los dispositivos mencionados anteriormente.

#### Un circuito electrónico Descripción generada automáticamente con confianza bajaFuente de alimentación para board.

#### 

|  |  |
| --- | --- |
| **Parámetros** | **Valores** |
| VCC (Jack) | 6.5V-12V |
| N° Salidas | 2 |
| Voltaje Salida | 5V-3.3V-0(GND) |
| Corriente máxima | 700 mA |

#### Alimentación 12V

Un teléfono celular

Descripción generada automáticamente con confianza baja

|  |  |
| --- | --- |
| **Parámetros** | **Valores** |
| Entrada AC | 220V (50-60 Hz) |
| Salida DC | 1.5-12 V |
| Corriente máxima | 500 mA |

#### Alimentación 24V

|  |  |
| --- | --- |
| **Parámetros** | **Valores** |
| Entrada AC | 110-240V (50-60Hz) |
| Salida DC | 24 V |
| Corriente máxima | 2 A. |

Imagen que contiene interior, pequeño, tabla, teléfono

Descripción generada automáticamente

## Esquema Eléctrico.

El esquema eléctrico general resultante de la unión de los distintos componentes mencionados, sin incluir las fuentes de alimentación, es el siguiente:

**Diagrama, Esquemático

Descripción generada automáticamente**

Se incluyen a continuación los esquemáticos de la etapa inversora (BOOSTXL-3PHGANINV) y convertidor de niveles lógicos (BOB- 12009).

* **BOOSTXL-3PHGANINV**

Diagrama, Esquemático

Descripción generada automáticamente3 Phase Inverter

Phase Current/Voltage Sense

Diagrama, Esquemático

Descripción generada automáticamente

PWM ENABLE.  
Diagrama, Esquemático

Descripción generada automáticamente

* BOB- 12009 (Niveles Lógicos 3.3V-5V).

Diagrama, Esquemático

Descripción generada automáticamente

## Montaje de la maqueta de pruebas.

En este apartado se va a realizar las imágenes del montaje definitivo de la maqueta de pruebas, se incluirá los planos de perfil y planta realizado con Autocad.  
No se realiza este apartado hasta los últimos momentos del TFG cuando se tendrá la disposición de los elementos sobre la maqueta fija y y de forma definitiva.

# BIBLIOGRAFIA.

[1] C. M. Maxfield, «Application-Specific Integrated Circuits (ASICs)», en *Bebop to the Boolean Boogie*, Elsevier, 2009, pp. 235-249. doi: 10.1016/B978-1-85617-507-4.00017-6.

[2] Shivangi Kamat, Sudhamshu M Hosamane, y Anshul Gandhi, «Designing an application-specific System-on-Chip (SoC)», 2016, doi: 10.13140/RG.2.2.27909.76006.

[3] V. S. Chakravarthi, «System on Chip (SOC) Design», en *A Practical Approach to VLSI System on Chip (SoC) Design: A Comprehensive Guide*, V. S. Chakravarthi, Ed. Cham: Springer International Publishing, 2020, pp. 11-40. doi: 10.1007/978-3-030-23049-4\_2.

[4] J. Patel, Y. Shah, y L. He, «Bridge Design between AXI Lite and AHB Bus Protocol», *J. Phys. Conf. Ser.*, vol. 1993, n.o 1, p. 012008, ago. 2021, doi: 10.1088/1742-6596/1993/1/012008.

[5] A. Gupta, K. Rawat, S. Pandey, P. Kumar, S. Kumar, y H. P. Singh, «Physical design implementation of 32-bit AMBA ASB APB module with improved performance», en *2016 International Conference on Electrical, Electronics, and Optimization Techniques (ICEEOT)*, Chennai, India, mar. 2016, pp. 3121-3124. doi: 10.1109/ICEEOT.2016.7755276.

[6] «Somaraju et al. - 2014 - DESIGN AND IMPLEMENTATION OF THE ADVANCED MICROCON.pdf».

[7] B. N. Manu y P. Prabhavathi, «Design and implementation of AMBA ASB APB bridge», en *2013 International Conference on Fuzzy Theory and Its Applications (iFUZZY)*, Taipei, Taiwan, dic. 2013, pp. 234-238. doi: 10.1109/iFuzzy.2013.6825442.

[8] «AXI Basics 1 - Introduction to AXI». https://support.xilinx.com/s/article/1053914?language=en\_US

[9] «Shrivastav et al. - 2011 - Performance Comparison of AMBA Bus-Based System-On.pdf».